

強誘電体メモリ及びその製造方法

本願では、2000年6月30日に出願された日本特許出願2000-199987の内容がそのまま含まれる。

5

技術分野

本発明は、メモリセルに強誘電体を用いた強誘電体メモリに関し、特に、1個のメモリセルを1個の強誘電体キャパシタで構成してセルトランジスタを使用しないパッシブアドレス型の強誘電体メモリに関する。

10

背景

従来、この種の強誘電体メモリとしては、例えば、国際公開公報(WO99/12170号)に記載の発明や、特開平9-116107号公報に記載の発明が知られている。これらの強誘電体メモリは、強誘電体キャパシタからなるメモリセルを縦横に配置するパッシブマトリクスアレーと、その各メモリセルのデータの読み書き等を行う周辺回路と、から構成されている。

パッシブマトリクスアレーは、例えば、図24及び図25に示すように、強誘電体膜1と、強誘電体膜1の上面にX方向に配列されて固定された複数の上側電極2と、強誘電体膜1の下面にY方向に配列されて固定された複数の下側電極3とからなり、その両電極2、3の各交差位置に、強誘電体キャパシタからなるメモリセル4が形成されるようになっている。そして、その各メモリセル4には、図示しない周辺回路によりデータの読み書きができるようになっている。

このような従来からの強誘電体メモリは、パッシブマトリクスアレーとその周辺回路とを同一基板上に平面的に集積化することにより実現している。次に、その製法の工程のうちの一部について、図26A、26B、26Cを参照して説明する。

図26Aは、周辺回路を構成するMOSトランジスタ形成時の断面図である。図26Aにおいて、11はシリコン基板、12はソース領域、13はドレイン領域、14はゲート絶縁膜、15はゲート電極、16は埋込プラグ、17はLOCOS酸化膜、18、19は層間絶縁膜である。

図26Bは、パッシブマトリクスアレーの形成時の断面図である。この形成時の手順を説明すると、図26Bに示すように、まず層間絶縁膜19上に金属膜を形成してエッチングにより下電極21を形成し、その下電極21の上に強誘電体膜22を形成し、その上に金属膜を形成してエッチングにより上電極23を形成する。強誘電体膜22としては、PZT ($\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$) や SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 等の材料が用いられる。

図26Cは、保護層の形成時の断面図である。この形成時の手順を説明すると、図26Cに示すように、まず上電極23等の上に保護層24を形成し、その保護層24の厚み方向にスルーホール形成する。次に、保護層24の上に金属膜を形成しエッチングにより配線層25を形成し、その上に保護層26を形成する。

ところで、図26Bに示すパッシブマトリクスアレーの形成過程であって、強誘電体膜22の形成には、酸素雰囲気下で高温処理(700℃程度)を行うため、先に形成されているMOSトランジスタの劣化が起こる。この劣化を補償するため、この後の工程中に水素雰囲気下で熱処理すると、強誘電体膜22の強誘電体特性の劣化が生じる。従って、これらの妥協点で完成後のデバイスを動作させる必要がある。

また、強誘電体膜22の形成時に、その強誘電体膜22の成分がMOSトランジスタの領域に拡散し、これによりMOSトランジスタの性能の劣化が起こるという不都合がある。

このため、従来の強誘電体メモリのようにパッシブマトリクスアレーとその周辺回路とを同一基板上に平面的に集積化する場合には、上記のようにその製造プロセスでの制約が大きいという不都合があった。

サマリー

本発明の目的は、上記の点に鑑み、製造プロセスでの制約を小さくできるようにした強誘電体メモリ及びその製造方法を提供することにある。

上記課題を解決し、本発明の目的を達成するために、請求項1～請求項19に記載の発明は以下のように構成した。

すなわち、請求項1に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路と

を備えた強誘電体メモリであって、前記パッシブマトリクスアレーを微小構造体上に形成するとともに、前記周辺回路を基板上に形成し、前記微小構造体を前記基板上に集積化することができる。

請求項 2 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを基板上に形成するとともに、前記周辺回路を微小構造体上に形成し、前記微小構造体を前記基板上に集積化することができる。

請求項 3 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに、前記周辺回路を第 2 の微小構造体上に形成し、前記第 1 の微小構造体と第 2 の微小構造体とを基板上に集積化することができる。

請求項 4 に記載の発明は、請求項 1、請求項 2、または請求項 3 に記載の強誘電体メモリにおいて、前記パッシブマトリクスアレーが前記パッシブマトリクスアレーが微小構造体上に形成された場合には複数の微小構造体を集積化し、前記周辺回路が微小構造体上に形成された場合は複数の微小構造体を集積化することができる。

請求項 5 に記載の発明は、請求項 1 乃至 4 のいずれかに記載の強誘電体メモリにおいて、前記基板には前記両微小構造体が収容される凹部をそれぞれ設け、前記微小構造体を前記各凹部に収容して前記基板上に集積化することができる。

請求項 6 に記載の発明は、請求項 5 に記載の強誘電体メモリにおいて、前記基板は、光硬化樹脂による金型転写により作成することができる。

請求項 7 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに前記周辺回路を第 2 の微小構造体上に形成して 1 つの組とし、この組を複数有し、前記各組の各微小構造体を基板の表裏に配置することができる。

請求項 8 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強

誘電体メモリであって、前記強誘電体メモリとは異なる機能または同一機能を有する所定の関連回路を備え、前記パッシブマトリクスアレー、前記周辺回路及び前記関連回路を複数の微小構造体上にそれぞれ形成するとともに、前記複数の微小構造体を同一基板上に集積化することができる。

- 5 請求項 9 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーと前記周辺回路とを、微小構造体上に一体に集積化することができる。

- 10 請求項 10 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに、前記周辺回路を前記第 1 の微小構造体よりもサイズが大きな第 2 の微小構造体上に形成し、前記第 1 の微小構造体を前記第 2 の微小構造体の一部に収納して集積化することができる。

- 15 請求項 11 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを複数の微小構造体上に形成し、その複数の微小構造体を基板内に積み重ねて集積化することができる。

- 20 請求項 12 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを微小構造体上に作成しておくとともに、前記周辺回路を基板上に作成しておき、前記微小構造体を前記基板上に集積化することができる。

- 25 請求項 13 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを基板上に作成しておくとともに、前記周辺回路を微小構造体上に作成しておき、前記微小構造体を前記基板上に集積化することができる。

請求項 14 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させた

パッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第1の微小構造体上に作成しておくとともに、前記周辺回路を第2の微小構造体上に作成しておき、前記第1の微小構造体と前記第2の微小構造体とを基板上に集積化することができる。

請求項15に記載の発明は、請求項12乃至14のいずれかに記載の強誘電体メモリの製造方法であって、前記各微小構造体の各形状に対応する凹部を設けた基板を用意し、前記基板の各凹部に前記対応する微小構造体を収容し、集積化することができる。

請求項16に記載の発明は、請求項15に記載の強誘電体メモリの製造方法において、前記基板の各凹部に対応する前記微小構造体を収容するには、前記微小構造体を含む流体を前記基板の表面に供給することにより行うようにすることができる。

請求項17に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第1の微小構造体上に作成するとともに前記周辺回路を第2の微小構造体上に作成しておきこれを1つの組とし、この組を複数用意し、前記各組の各微小構造体を基板の表裏に集積化することができる。

請求項18に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第1の微小構造体上に作成するとともに、前記周辺回路を前記第1の微小構造体よりもサイズが大きな第2の微小構造体上に作成しておき、前記第2の微小構造体の一部に前記第1の微小構造体を収納して集積化することができる。

請求項19に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーは複数の微小構造体上に作成しておき、その複数の微小構造体を基板内に積み重ねて集積化することができる。

図面の簡単な説明

図 1 は、本発明の強誘電体メモリの第 1 実施形態の平面図である。

図 2 は、図 1 の A-A 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

図 3 は、第 1 実施形態の変形例の平面図である。

図 4 は、本発明の強誘電体メモリの第 2 実施形態の平面図である。

図 5 は、図 4 の B-B 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

図 6 は、第 2 実施形態の変形例の平面図である。

図 7 は、本発明の強誘電体メモリの第 3 実施形態の平面図である。

図 8 は、図 7 の C-C 線の断面図であり、ワードライン駆動回路マイクロチップのみの断面を示し、他は省略されている。

図 9 は、本発明の強誘電体メモリの第 4 実施形態の平面図である。

図 10 は、本発明の強誘電体メモリの第 5 実施形態の平面図である。

図 11 は、図 10 の D-D 線の断面図である。

図 12 は、本発明の強誘電体メモリの第 6 実施形態の平面図である。

図 13 は、第 6 実施形態の変形例の平面図である。

図 14 は、本発明の強誘電体メモリの第 7 実施形態の平面図である。

図 15 は、図 14 の E-E 線の断面図である。

図 16 は、本発明の強誘電体メモリの第 8 実施形態の概略断面図である。

図 17 は、本発明の強誘電体メモリの第 9 実施形態の平面図である。

図 18 は、本発明の強誘電体メモリの第 10 実施形態の平面図である。

図 19 は、本発明の強誘電体メモリの第 11 実施形態の平面図である。

図 20 は、本発明の強誘電体メモリの第 12 実施形態の平面図である。

図 21 は、図 20 の F-F 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

図 22 は、本発明の強誘電体メモリの第 13 実施形態の断面図である。

図 23 は、本発明の強誘電体メモリの第 14 実施形態の断面図である。

図 2 4 は、パッシブマトリクスアレーの構成を示す平面図である。

図 2 5 は、図 2 4 の G-G 線の断面図である。

図 2 6 A、2 6 B、2 6 C は、従来の強誘電体メモリの製造工程を説明する図である。

5

詳細な説明

以下、本発明の実施形態について図面を参照して説明する。

本発明の強誘電体メモリの第 1 実施形態について、図 1 及び図 2 を参照して説明する。この第 1 実施形態に係る強誘電体メモリは、図 1 及び図 2 に示すように、パッシブマトリクスアレー・マイクロチップ 4 1 を、周辺回路基板 4 2 上に集積化したものである。

パッシブマトリクスアレー・マイクロチップ 4 1 は、図 2 4 及び図 2 5 に示すような構成からなるパッシブマトリクスアレーを、マイクロチップ化したものである。周辺回路基板 4 2 のほぼ中央にテーパを有する凹部 4 6 が設けられ、その凹部 4 6 内にパッシブマトリクスアレー・マイクロチップ 4 1 が収容されて集積化されている。このパッシブマトリクスアレー・マイクロチップは、例えばシリコン基板、プラスチックシート、ガラス基板、セラミック基板上にパッシブマトリクスアレーを形成し、切り出しまたは異方性エッチングを行い、微小構造体とすることにより形成される。周辺回路基板 4 2 であって、パッシブマトリクスアレー・マイクロチップ 4 1 が集積化される周囲には、その周辺回路としてワードライン駆動回路 4 3、ビットライン駆動回路（センスアンプを含む）4 4、および制御回路 4 5 が形成されている。

ここで、以下の各実施形態において、パッシブマトリクスアレーという場合には、図 2 4 及び図 2 5 に示すような構成からなるメモリセルアレイをいう。

また、上記の周辺回路基板 4 2 は、例えばシリコンウエハ（シリコン基板）等が使用可能である。そして、以下の各実施形態において、何々基板という場合には、上記に例示したものが使用可能である。

さらに、以下の各実施形態において、何々マイクロチップという場合には、例えばシリコン基板、プラスチックシート、ガラス基板、セラミック基板上にそのマイクロチップ化する回路などを形成し、切り出しまたは異方性エッチングを行い、微小構造

体とすることにより形成される。

次に、このような構成の第1実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレーを、微小構造体であるパッシブマトリクスアレー・マイクロチップ41上に作成しておく。一方、周辺回路基板42は、そのほぼ中央にパッシブマトリクスアレー・マイクロチップ41を収容する凹部46を作成するとともに、その凹部46の周囲に、ワードライン駆動回路43、ビットライン駆動回路44、および制御回路45を作成しておく。

次に、周辺回路基板42の凹部46にパッシブマトリクスアレー・マイクロチップ41を入れる。さらに、パッシブマトリクスアレー・マイクロチップ41は、ワードライン駆動回路43やビットライン駆動回路44等と電気的に接続するなどの処理を行い、周辺回路基板42上に集積化する。

以上説明したように、第1実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

図3は、第1実施形態の変形例であり、この変形例は図1の周辺回路基板42に作成される制御回路45を省略したものである。この変形例のその他の部分の構成は図1と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

次に、本発明の強誘電体メモリの第2実施形態について、図4及び図5を参照して説明する。

この第2実施形態に係る強誘電体メモリは、図1に示す第1実施形態の大規模化を図るようにしたものであり、図4に示すように、図1に示す周辺回路基板42を大型な周辺回路基板42Aに代え、この周辺回路基板42A上に、複数（この例では9個）のパッシブマトリクスアレー・マイクロチップ41を集積化したものである。

またこれに伴って、周辺回路基板42Aに形成されるワードライン駆動回路43A、ビットライン駆動回路（センスアンプを含む）44A、および制御回路45Aも大型化されている。

次に、このような構成の第2実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレーを、微小構造体であるパッシブマトリクスアレー・マイクロチップ41により複数作成しておく。一方、周辺回路基板42Aは、そのほぼ中央に、パッシブマトリクスアレー・マイクロチップ41を収容すべき凹部46Aを複数作成しておくとともに、その凹部46Aの周囲に、ワードライン駆動回路43A、ビットライン駆動回路44A、および制御回路45Aをそれぞれ作成しておく。

次に、周辺回路基板42Aの各凹部46Aにパッシブマトリクスアレー・マイクロチップ41を収容する。さらに、複数のパッシブマトリクスアレー・マイクロチップ41は、ワードライン駆動回路43Aやビットライン駆動回路44A等と電氣的に接続するなどの所定の処理を行い、周辺回路基板42A上に集積化する。

以上説明したように、第2実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、この第2実施形態によれば、パッシブマトリクスアレー・マイクロチップ41を複数備えるようにしたので、大規模な強誘電体メモリが実現できる。

図6は、第2実施形態の変形例であり、この変形例は図4の周辺回路基板42Aに作成される制御回路45Aを省略したものである。この変形例のその他の部分の構成は図1と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

次に、本発明の強誘電体メモリの第3実施形態について、図7及び図8を参照して説明する。

この第3実施形態に係る強誘電体メモリは、図7及び図8に示すように、パッシブマトリクスアレー基板51上に、ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とを集積化したものである。

パッシブマトリクスアレー基板51は、そのほぼ中央に、パッシブマトリクスアレー54が形成されている。ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とは、パッシブマトリクスアレーの各メモリセルの読み書きを行うためのワードライン駆動回路とビットライン駆動回路とを、例えばシリコン基板上に作成し、切り出しまたは異方性エッチングを行い、微小構造体とすることによりマイクロチップ化したものである。

次に、このような構成の第3実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とを、それぞれ作成しておく。一方、パッシブマトリクスアレー基板51は、そのほぼ中央にパッシブマトリクスアレー54を形成するとともに、そのパッシブマトリクスアレー54の周囲に、ワードライン駆動回路マイクロチップ52を収容する凹部55と、ビットライン駆動回路マイクロチップ53を収容する凹部（図示せず）を設けておく。

次に、パッシブマトリクスアレー基板51の凹部55等に、ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とを収容する。その後、ワードライン駆動回路マイクロチップ52及びビットライン駆動回路マイクロチップ53は、パッシブマトリクスアレー54と電気的に接続するなどの所定の処理を行い、パッシブマトリクスアレー基板51上に集積化する。

以上説明したように、第3実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

次に、本発明の強誘電体メモリの第4実施形態について、図9を参照して説明する。

この第4実施形態に係る強誘電体メモリは、図7に示す第3実施形態の大規模化を図るようにしたものであり、図9に示すように、図7に示すパッシブマトリクスアレー基板51を大型なパッシブマトリクスアレー基板51Aに代え、このパッシブマトリクスアレー基板51A上に、複数のワードライン駆動回路マイクロチップ52と、複数のビットライン駆動回路マイクロチップ53とを集積化したものである。また、これに伴って、パッシブマトリクスアレー基板51Aに形成されるパッシブマトリクスアレー54Aも大型化されている。

次に、このような構成の第4実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とを、それぞれ複数個ずつ作成しておく。一方、パッシブマトリクスアレー基板51Aは、そのほぼ中央にパッシブマトリクスアレー54Aを形成するととも

に、そのパッシブマトリクスアレー54Aの周囲に、ワードライン駆動回路マイクロチップ52を収容する複数の凹部（図示せず）と、ビットライン駆動回路マイクロチップ53を収容する凹部（図示せず）を設けておく。

次に、パッシブマトリクスアレー基板51Aの各凹部に、複数のワードライン駆動回路マイクロチップ52と複数のビットライン駆動回路マイクロチップ53とを収容する。その後、複数のワードライン駆動回路マイクロチップ52及び複数のビットライン駆動回路マイクロチップ53は、パッシブマトリクスアレー54Aと電気的に接続するなどの所定の処理を行い、パッシブマトリクスアレー基板51A上に集積化する。

10 以上説明したように、第4実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、この第4実施形態によれば、ワードライン駆動回路マイクロチップ52等を複数備えるようにしたので、大規模な強誘電体メモリが実現できる。

15 次に、本発明の強誘電体メモリの第5実施形態について、図10及び図11を参照して説明する。

この第5実施形態に係る強誘電体メモリは、図10及び図11に示すように、実装基板61上に、パッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63、ビットライン駆動回路マイクロチップ64を集積化したものである。

20 パッシブマトリクスアレー・マイクロチップ62は、パッシブマトリクスアレーをマイクロチップ化したものである。ワードライン駆動回路マイクロチップ63とビットライン駆動回路マイクロチップ64とは、上記のパッシブマトリクスアレーの各メモリセルの読み書きを行うための周辺回路としてのワードライン駆動回路とビットライン駆動回路とを、マイクロチップ化したものである。

25 実装基板61は、そのほぼ中央にパッシブマトリクスアレー・マイクロチップ62を収容する凹部65と、その凹部65の周囲にワードライン駆動回路マイクロチップ63を収容する凹部66及びビットライン駆動回路マイクロチップ64を収容する凹部（図示せず）とが形成されている。各マイクロチップ62～63は、その各凹部

に收容されて実装基板 6 1 上に集積化されている。

次に、このような構成の第 5 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレー・マイクロチップ 6 2 と、ワードライン駆動回路
5 マイクロチップ 6 3 と、ビットライン駆動回路マイクロチップ 6 4 とをそれぞれ作成
しておく。一方、実装基板 6 1 は、その中央にパッシブマトリクスアレー・マイクロ
チップ 6 2 を收容する凹部 6 5 と、その凹部 6 5 の周囲にワードライン駆動回路マイ
クロチップ 6 3 を收容する凹部 6 6 と、ビットライン駆動回路マイクロチップ 6 4 を
收容する凹部（図示せず）とを作成しておく。

10 次に、その実装基板 6 1 の各凹部に、パッシブマトリクスアレー・マイクロチップ
6 2、ワードライン駆動回路マイクロチップ 6 3、およびビットライン駆動回路マイ
クロチップ 6 4 を收容する。その後、ワードライン駆動回路マイクロチップ 6 3 及び
ビットライン駆動回路マイクロチップ 6 4 と、パッシブマトリクスアレー・マイクロ
チップ 6 2 と電氣的に接続するなど所定の処理を行い、これらを実装基板 6 1 上に集
15 積化する。

以上説明したように、第 5 実施形態によれば、パッシブマトリクスアレーとその周
辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその
悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

20 次に、本発明の強誘電体メモリの第 6 実施形態について、図 1 2 を参照して説明す
る。

この第 6 実施形態に係る強誘電体メモリは、図 1 0 に示す第 5 実施形態の大規模化
を図るようにしたものであり、図 1 2 に示すように、図 1 0 に示す実装基板 6 1 を大
型な実装基板 6 1 A に代え、この実装基板 6 1 A 上のほぼ中央に複数（この例では 9
個）のパッシブマトリクスアレー・マイクロチップ 6 2 を集積化するとともに、その
25 パッシブマトリクスアレー・マイクロチップ 6 2 の周囲の実装基板 6 1 A 上に、複数
のワードライン駆動回路マイクロチップ 6 3 A と複数のビットライン駆動回路マイ
クロチップ 6 4 A とを集積化したものである。

次に、このような構成の第 6 実施形態に係る強誘電体メモリの製造方法の一例につ
いて説明する。

まず、パッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63A、およびビットライン駆動回路マイクロチップ64Aをそれぞれ複数個ずつ作成しておく。一方、実装基板61Aは、パッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63、およびビットライン駆動回路マイクロチップ64をそれぞれ収容する凹部（図示せず）を形成しておく。

次に、その実装基板61Aの各凹部に、複数のパッシブマトリクスアレー・マイクロチップ62、複数のワードライン駆動回路マイクロチップ63、および複数のビットライン駆動回路マイクロチップ64をそれぞれ収容する。その後、複数のワードライン駆動回路マイクロチップ63及び複数のビットライン駆動回路マイクロチップ64と、複数のパッシブマトリクスアレー・マイクロチップ62と電氣的に接続するなど所定の処理を行い、これらを実装基板61A上に集積化する。

以上説明したように、第6実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、この第6実施形態によれば、パッシブマトリクスアレー・マイクロチップ62やワードライン駆動回路マイクロチップ63Aをそれぞれ複数備えるようにしたので、大規模な強誘電体メモリが実現できる。

図13は、第6実施形態の変形例であり、この変形例は図12の実装基板61A上に、制御回路をマイクロチップ化した制御回路マイクロチップ67の集積化を追加するようにしたものである。この変形例のその他の部分の構成は図12と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

次に、本発明の強誘電体メモリの第7実施形態について、図14及び図15を参照して説明する。

この第7実施形態に係る強誘電体メモリは、図10に示す第5実施形態のパッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63、ビットライン駆動回路マイクロチップ64を、図14に示すように、それぞれ形状が異なるパッシブマトリクスアレー・マイクロチップ62A、ワードライン駆動回路マイクロチップ63A、ビットライン駆動回路マイクロチップ64Aに代え、これらの各マイクロチップを実装基板61上に集積化するようにしたものである。

実装基板 6 1 は、ほぼ中央にパッシブマトリクスアレー・マイクロチップ 6 2 A を
収容する凹部 6 5 A に形成され、その凹部 6 5 A の周囲に、ワードライン駆動回路マ
イクロチップ 6 3 A を終了する凹部 6 6 A とビットライン駆動回路マイクロチップ
6 4 A を収容する凹部（図示せず）とが形成されている。各マイクロチップ 6 2 A ~
5 6 3 A は、その各凹部に収容されて実装基板 6 1 上に集積化されている。

ここで、実装基板 6 1 は、光硬化樹脂による金型転写により作成するようにするの
が、実装基板 6 1 を安価にできる点で好ましい。

次に、このような構成の第 7 実施形態に係る強誘電体メモリの製造方法の一例につ
いて説明する。

10 まず、パッシブマトリクスアレー・マイクロチップ 6 2 A と、ワードライン駆動回
路マイクロチップ 6 3 A と、ビットライン駆動回路マイクロチップ 6 4 A とを、それ
ぞれ形状が異なるように作成しておく。一方、実装基板 6 1 は、各マイクロチップ 6
2 A ~ 6 4 A を収容する凹部 6 5 A、6 6 A を作成しておく。

15 次に、その実装基板 6 1 の各凹部に、対応するマイクロチップ 6 2 A ~ 6 4 A を収
容（配列）する。

この実装基板 6 1 の各凹部に、対応するマイクロチップ 6 2 A ~ 6 4 A を配列する
には、マイクロチップ 6 2 A ~ 6 4 A を含む流体を実装基板 6 1 の表面に供給し、こ
れにより複数のマイクロチップ 6 2 A ~ 6 4 A を実装基板 6 1 の対応する凹部に配
列するのが好ましい。

20 その後、マイクロチップ 6 2 A ~ 6 4 A 上に封止用絶縁膜 6 8 を形成した後、パッ
シブマトリクスアレー・マイクロチップ 6 2 A とワードライン駆動回路マイクロチッ
プ 6 3 A 等を配線 6 9 により電氣的に接続するなど所定の処理をし、マイクロチップ
6 2 A ~ 6 4 A を実装基板 6 1 上に集積化する。

25 以上説明したように、第 7 実施形態によれば、パッシブマトリクスアレーとその周
辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその
悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、第 7 実施形態によれば、パッシブマトリクスアレーと周辺回路とを形状の異
なるマイクロチップ 6 2 A ~ 6 4 A で形成し、その各マイクロチップ 6 2 A ~ 6 4 A
を実装基板 6 1 の対応する各凹部に収容するようにした。このため、マイクロチップ

62A～64Aを含む流体を実装基板61の表面に供給することにより、マイクロチップ62A～64Aを実装基板61上に同時にマウントすることができる。

さらに、第7実施形態において、実装基板61を光硬化樹脂による金型転写により作成するようにすれば、実装基板61が安価となる。

5 次に、本発明の強誘電体メモリの第8実施形態について、図16を参照して説明する。

この第8実施形態に係る強誘電体メモリは、図14に示す第7実施形態のパッシブマトリクスアレー・マイクロチップ62A、ワードライン駆動回路マイクロチップ63A、ビットライン駆動回路マイクロチップ64Aを1組とする強誘電体メモリ70
10 を2組備え、図16に示すように、そのうちの1組の強誘電体メモリ70の各マイクロチップ62A～64Aを実装基板61の表面側に集積化するとともに、他の1組の強誘電体メモリ70の各マイクロチップ62A～64Aを実装基板61の裏面側に集積化するようにしたものである。

15 なお、この第8実施形態の製造方法は、第7実施形態の製造方法が適用可能であるので、その説明は省略する。

以上説明したように、第8実施形態によれば、パッシブマトリクスアレー等をそれぞれマイクロチップで形成するとともに、その各マイクロチップを実装基板61の表裏に配置するようにしたので、製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

20 次に、本発明の強誘電体メモリの第9実施形態について、図17を参照して説明する。

この第9実施形態に係る強誘電体メモリは、図17に示すように、実装基板71上に、強誘電体メモリを形成する複数のマイクロチップと、その強誘電体メモリと同一機能を有するSRAMを形成するSRAMマイクロチップ76とを集積化したもの
25 である。強誘電体メモリを形成する複数のマイクロチップは、図17に示すように、パッシブマトリクスアレー・マイクロチップ72、ワードライン駆動回路マイクロチップ73、ビットライン駆動回路マイクロチップ74、および制御回路マイクロチップ75である。

パッシブマトリクスアレー・マイクロチップ72、ワードライン駆動回路マイクロ

チップ73、ビットライン駆動回路マイクロチップ74は、図10に示すパッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63、ビットライン駆動回路マイクロチップ64に相当するものである。制御回路マイクロチップ75は、制御回路をマイクロチップ化したものである。また、SRAMマイクロチップ76は、SRAMをマイクロチップ化したものである。

5 なお、上記の例では、実装基板71上に、強誘電体メモリを形成する複数のマイクロチップと、その強誘電体メモリと同一機能を有するSRAMを形成するSRAMマイクロチップ76とを集積化するようにした。しかし、SRAMマイクロチップ76を、強誘電体メモリと異なる機能を有する所定の関連回路をマイクロチップにしたもの
10 に代えるようにしても良い。また、別々の機能を有する回路、例えばパッシブマトリクスアレーとビットライン駆動回路を同一マイクロチップ内に集積化する構成として、本実施例を適用してもよい。

次に、このような構成からなる第9実施形態に係る強誘電体メモリの製造方法の一例について説明する。

15 まず、上述のマイクロチップ72～76をそれぞれ作成しておく。一方、実装基板71には、そのマイクロチップ72～76を収容する凹部（図示せず）設けておく。次に、その実装基板71の対応する各凹部に、マイクロチップ72～76を収容する。その後、マイクロチップ72～76の間で所定の電気的な接続をするなどの所定の処理を行い、これらを実装基板71上に集積化する。

20 以上説明したように、第9実施形態によれば、パッシブマトリクスアレーとその周辺回路やSRAMとを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、第9実施形態によれば、強誘電体メモリと同一機能または異なる機能を有する所定の関連回路を備えるようにしたので、付加価値のある強誘電体メモリを実現で
25 きる。

次に、本発明の強誘電体メモリの第10実施形態について、図18を参照して説明する。

この第10実施形態に係る強誘電体メモリは、図18に示すように、パッシブマトリクスアレー82、ワードライン駆動回路83、及びビットライン駆動回路84を、

マイクロチップ８１で一体に集積化するようにしたものである。ワードライン駆動回路８３とビットライン駆動回路８４とは、パッシブマトリクスアレー８２のメモリセルに対するデータの読み書きを行う周辺回路である。

以上説明したように、第１０実施形態によれば、パッシブマトリクスアレーと周辺回路とを、マイクロチップ８１で一体に集積化するようにしたので、パッシブマトリクスアレーと周辺回路との間の配線に段差がなくなり、そのために配線が短くなって高速書き込み・読み出し可能な強誘電体メモリを実現できる。

次に、本発明の強誘電体メモリの第１１実施形態について、図１９を参照して説明する。

この第１１実施形態に係る強誘電体メモリは、図１８に示す第１０実施形態のマイクロチップ８１を複数（この場合には４個）備え、この複数のマイクロチップ８１と制御回路マイクロチップ８６とを、実装基板８７上に集積化したものである。

制御回路マイクロチップ８６は、マイクロチップ８１内のパッシブマトリクスアレーのメモリセル等を制御する制御回路をマイクロチップ化したものである。

実装基板８７には、複数のマイクロチップ８１と制御回路マイクロチップ８６を収容する凹部（図示せず）が形成され、この各凹部に複数のマイクロチップ８１と制御回路マイクロチップ８６が収容されて、各マイクロチップが実装基板８７上に集積化されている。

次に、このような構成の第１１実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、複数のマイクロチップ８１と制御回路マイクロチップ８６をそれぞれ作成しておく。一方、実装基板８７には、そのマイクロチップ８１、８６を収容する凹部（図示せず）を作成しておく。次に、その実装基板８７の対応する各凹部に、マイクロチップ８１、８６を収容する。その後、マイクロチップ８１、８６の間で所定の電気的な接続をするなどの所定の処理をし、これらを実装基板８７上に集積化する。

以上説明したように、第１１実施形態によれば、複数のマイクロチップ８１を実装基板８７上に集積化するようにしたので、高速動作可能で大規模、大容量の強誘電体メモリを実現できる。

次に、本発明の強誘電体メモリの第１２実施形態について、図２０及び図２１を参

照して説明する。

この第 1 2 実施形態に係る強誘電体メモリは、図 2 0 及び図 2 1 に示すように、パッシブマトリクスアレー・マイクロチップ 9 1 を、周辺回路マイクロチップ 9 2 に集積化したものである。

- 5 パッシブマトリクスアレー・マイクロチップ 9 1 は、パッシブマトリクスアレーを、
マイクロチップ化したものである。周辺回路マイクロチップ 9 2 は、そのほぼ中央に
設けた凹部 9 5 にパッシブマトリクスアレー・マイクロチップ 9 1 が収容されて集積
化されるとともに、そのパッシブマトリクスアレー・マイクロチップ 9 1 の周囲に、
ワードライン駆動回路 9 3 とビットライン駆動回路（センスアンプを含む）9 4 が形
10 成されている。

次に、このような構成の第 1 2 実施形態に係る強誘電体メモリの製造方法の一例に
ついて説明する。

- まず、パッシブマトリクスアレーをパッシブマトリクスアレー・マイクロチップ 9
1 により作成しておく。一方、周辺回路マイクロチップ 9 2 は、そのほぼ中央にパッ
15 シブマトリクスアレー・マイクロチップ 9 1 を収容すべき凹部 9 5 を作成しておく
とともに、その凹部 9 5 の周囲に、ワードライン駆動回路 9 3、ビットライン駆動回路
9 4 を作成しておく。次に、周辺回路マイクロチップ 9 2 の凹部 9 5 にパッシブマト
リクスアレー・マイクロチップ 9 1 を収容する。その後、パッシブマトリクスアレー・
マイクロチップ 9 1 は、ワードライン駆動回路 9 3 等と電気的に接続するなど所定の
20 処理を行い、周辺回路マイクロチップ 9 2 上に集積化する。

以上説明したように、第 1 2 実施形態によれば、パッシブマトリクスアレーとその
周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にそ
の悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

- また、第 1 2 実施形態によれば、パッシブマトリクスアレー・マイクロチップ 9 1
25 を、周辺回路マイクロチップ 9 2 の一部に収容して集積化したので、小型化が実現で
きる。また、このパッシブマトリクスアレー・マイクロチップ 9 1 を周辺回路マイク
ロチップ 9 2 の一部に収容したものを複数個実装基板上に集積し、大容量強誘電体メ
モリを形成することも可能である。

次に、本発明の強誘電体メモリの第 1 3 実施形態について、図 2 2 を参照して説明

する。

この第13実施形態に係る強誘電体メモリは、図22に示すように、複数（この例では2個）のバッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたものである。

- 5 実装基板103にはテーパを有する凹部104が形成され、その凹部104の底部にバッシブマトリクスアレー・マイクロチップ101が収容されている。バッシブマトリクスアレー・マイクロチップ101の上には取り出し配線105が設けられ、その取り出し配線105の上にバッシブマトリクスアレー・マイクロチップ102が設けられている。バッシブマトリクスアレー・マイクロチップ102の上には封止用絶縁膜106が設けられ、その封止用絶縁膜106の上にバッシブマトリクスアレー・マイクロチップ102と接続する取り出し配線107が設けられている。

なお、取り出し配線105、107は、バッシブマトリクスアレー・マイクロチップ101、102の所定の周辺回路（図示せず）に接続されるようになっている。

- 15 次に、このような構成の第13実施形態に係る強誘電体メモリの製造方法の一例について説明する。

- まず、複数のバッシブマトリクスアレー・マイクロチップ101、102を作成しておく。次に、実装基板103に凹部104を形成したのち、その凹部104内にバッシブマトリクスアレー・マイクロチップ101を収容する。その後、バッシブマトリクスアレー・マイクロチップ101の上に取り出し配線105を形成し、その取り出し配線105の上にバッシブマトリクスアレー・マイクロチップ102を配置する。さらに、バッシブマトリクスアレー・マイクロチップ102の上に封止用絶縁膜106を形成したのち、バッシブマトリクスアレー・マイクロチップ102を取り出し配線107と接続する。

- 25 以上説明したように、第13実施形態によれば、バッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたので、高集積化が実現できる。

次に、本発明の強誘電体メモリの第14実施形態について、図23を参照して説明する。

この第14実施形態に係る強誘電体メモリは、図22の第13実施形態と同様に、

複数のパッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたものであるが、その内部構成を図23のようにしたものである。

すなわち、実装基板103にはテーパを有する凹部104が形成され、その凹部104の底部にパッシブマトリクスアレー・マイクロチップ101が収容されている。パッシブマトリクスアレー・マイクロチップ101は取り出し配線105と接続され、パッシブマトリクスアレー・マイクロチップ101の上には絶縁膜108が設けられている。絶縁膜108の上には平坦化膜109が設けられ、その平坦化膜109の上にパッシブマトリクスアレー・マイクロチップ102が設けられている。パッシブマトリクスアレー・マイクロチップ102の上には絶縁膜110が設けられ、パッシブマトリクスアレー・マイクロチップ102は取り出し配線107と接続されている。

次に、このような構成の第14実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、複数のパッシブマトリクスアレー・マイクロチップ101、102を作成しておく。スルーホールの形成された絶縁膜108、110はこの時点で形成されている。次に、実装基板103に凹部104を形成したのち、その凹部104内にパッシブマトリクスアレー・マイクロチップ101を収容する。その後、取り出し配線105を形成する。

さらに、平坦化膜109を形成した後、その平坦化膜109の上にパッシブマトリクスアレー・マイクロチップ102を配置する。さらに、パッシブマトリクスアレー・マイクロチップ102に取り出し配線107を接続する。

以上説明したように、第14実施形態によれば、パッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたので、高集積化が実現できる。

以上述べたように、請求項1～請求項3に係る各発明によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

請求項4に係る発明によれば、パッシブマトリクスアレー等を複数の微小構造体が

ら形成するようにしたので、製造プロセスでの制約を小さくできることに加えて、大規模な強誘電体メモリを実現できる。

請求項 5 に係る発明によれば、パッシブマトリクスアレー等を微小構造体で形成し、その微小構造体を基板の凹部に収容するようにした。このため、製造プロセスでの制約を小さくできることに加えて、その複数の微小構造体を基板上に同時にマウントすることが可能となる。

請求項 6 に係る発明によれば、基板を光硬化樹脂による金型転写により作成するので、基板が安価となる。

請求項 7 に係る発明によれば、パッシブマトリクスアレー等をそれぞれ微小構造体で形成するとともに、その各微小構造体を実装基板の表裏に配置するようにしたので、製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

請求項 8 に係る発明によれば、強誘電体メモリと異なる機能または同一機能を有する所定の関連回路を備えるようにしたので、付加価値のある強誘電体メモリを実現できる。また、パッシブマトリクスアレーとその周辺回路等を独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路等に及ばなくなり、製造プロセスでの制約を小さくできる。

請求項 9 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを、微小構造体で一体に集積化するようにしたので、パッシブマトリクスアレーと周辺回路との間の配線に段差がなくなり、そのために配線が短くなって高速書き込み・読み出し可能な強誘電体メモリを実現できる。

請求項 10 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを第 1 と第 2 の微小構造体で形成し、第 1 の微小構造体を第 2 の微小構造体の一部に収納したので、製造プロセスでの制約を小さくできることに加えて、小型化が実現できる。

請求項 11 に係る発明によれば、パッシブマトリクスアレーを複数の微小構造体から構成し、その複数の微小構造体を実装基板内に積み重ねて集積化するようにしたので、パッシブマトリクスアレーの高集積化、高密度化を実現することができる。

請求項 12～請求項 14 に係る各発明によれば、パッシブマトリクスアレーとその周辺回路とを別個に作成しておくので、パッシブマトリクスアレーを作成する際にそ

の悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

請求項 15 に係る発明によれば、パッシブマトリクスアレー等を微小構造体で作成しておき、その微小構造体を基板の凹部に収容するようにした。このため、製造プロセスでの制約を小さくできることに加えて、その複数の微小構造体を基板上に同時に

5 マウントすることが可能となる。

請求項 16 に係る発明によれば、複数の微小構造体を基板上に同時にマウントできる。

請求項 17 に係る発明によれば、パッシブマトリクスアレー等をそれぞれ微小構造体で作成しておき、その各微小構造体を実装基板の表裏に配置するようにしたので、

10 製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

請求項 18 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを第 1 と第 2 の微小構造体で形成し、第 1 の微小構造体を第 2 の微小構造体の一部に収納するので、製造プロセスでの制約を小さくできることに加えて、強誘電体メモリの小型化
15 が実現できる。

請求項 19 に係る発明によれば、パッシブマトリクスアレーを複数の微小構造体から作成しておき、その複数の微小構造体を基板内に積み重ねて集積化するようにしたので、パッシブマトリクスアレーの高集積化、高密度化を実現することができる。

請求の範囲

1. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、
5 前記パッシブマトリクスアレーを微小構造体上に形成するとともに、前記周辺回路を基板上に形成し、前記微小構造体を前記基板上に集積化した、強誘電体メモリ。
2. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、
前記パッシブマトリクスアレーを基板上に形成するとともに、前記周辺回路を微小
10 構造体上に形成し、前記微小構造体を前記基板上に集積化した、強誘電体メモリ。
3. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、
前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに、前記周
15 辺回路を第2の微小構造体上に形成し、前記第1の微小構造体と第2の微小構造体とを基板上に集積化した、強誘電体メモリ。
4. 前記パッシブマトリクスアレーが微小構造体上に形成された場合には複数の微小構造体を集積化し、前記周辺回路が微小構造体上に形成された場合は複数の微小構造体を集積化した、請求項1、請求項2、または請求項3に記載の強誘電体メモリ。
5. 前記基板には前記両微小構造体が収容される凹部をそれぞれ設け、前記微小構造
20 体を前記各凹部に収容して前記基板上に集積化した、請求項1乃至4のいずれかに記載の強誘電体メモリ。
6. 前記基板は、光硬化樹脂による金型転写により作成した、請求項5に記載の強誘電体メモリ。
7. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、
25 前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに前記周辺回路を第2の微小構造体上に形成して1つの組とし、この組を複数有し、前記各組の各微小構造体を基板の表裏に配置した、強誘電体メモリ。
8. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレー

と、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記強誘電体メモリとは異なる機能または同一機能を有する所定の関連回路を備え、前記パッシブマトリクスアレー、前記周辺回路及び前記関連回路を複数の微小構造体上にそれぞれ形成するとともに、前記複数の微小構造体を同一基板上に集積化した、強誘電体メモリ。

5 5 9. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレー

と、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーと前記周辺回路とを、微小構造体上に一体に集積化した、強誘電体メモリ。

10 10. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに、前記周辺回路を前記第1の微小構造体よりもサイズが大きな第2の微小構造体上に形成し、前記第1の微小構造体を前記第2の微小構造体の一部に収納して集積化した、強誘電体メモリ。

15 11. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、
前記パッシブマトリクスアレーを複数の微小構造体上に形成し、その複数の微小構造体を基板内に積み重ねて集積化した、強誘電体メモリ。

20 12. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを微小構造体上に作成しておくとともに、前記周辺回路を基板上に作成しておき、前記微小構造体を前記基板上に集積化するようにした、

25 強誘電体メモリの製造方法。

13. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを基板上に作成しておくとともに、前記周辺回路を

・ 微少構造体上に作成しておき、前記微少構造体を前記基板上に集積化するようにした、強誘電体メモリの製造方法。

1 4. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方

5 法であって、

前記パッシブマトリクスアレーを第1の微少構造体上に作成しておくとともに、前記周辺回路を第2の微少構造体上に作成しておき、前記第1の微少構造体と前記第2の微少構造体とを基板上に集積化するようにした、強誘電体メモリの製造方法。

10 1 5. 前記各微小構造体の各形状に対応する凹部を設けた基板を用意し、前記基板の各凹部に前記対応する微小構造体を収容し、集積化するようにした、請求項1 2乃至1 4のいずれかに記載の強誘電体メモリの製造方法。

1 6. 前記基板の各凹部に対応する前記微小構造体を収容するには、前記微小構造体を含む流体を前記基板の表面に供給することにより行うようにした、請求項1 5に記載の強誘電体メモリの製造方法。

15 1 7. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

20 前記パッシブマトリクスアレーを第1の微小構造体上に作成するとともに前記周辺回路を第2の微小構造体上に作成しておきこれを1つの組とし、この組を複数用意し、前記各組の各微小構造体を基板の表裏に集積化するようにした、強誘電体メモリの製造方法。

1 8. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

25 前記パッシブマトリクスアレーを第1の微小構造体上に作成するとともに、前記周辺回路を前記第1の微小構造体よりもサイズが大きな第2の微小構造体上に作成しておき、前記第2の微小構造体の一部に前記第1の微小構造体を収納して集積化するようにした、強誘電体メモリの製造方法。

1 9. 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレー

一と、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーは複数の微小構造体上に作成しておき、その複数の微小構造体を基板内に積み重ねて集積化するようにした、強誘電体メモリの製造方法。

•

5

[illegible]